

# 一种单锁存器 CMOS 三值 D 型边沿触发器设计

杭国强<sup>1</sup>, 吴训威<sup>2</sup>

(1. 浙江大学信息与电子工程学系, 浙江杭州 310027; 2. 宁波大学电路与系统研究所, 浙江宁波 315211)

**摘 要:** 提出了一种只使用单个锁存器的 CMOS 三值 D 型边沿触发器设计. 该电路是通过时钟信号的上升沿后产生的窄脉冲使锁存器瞬时导通完成取样求值. 所提出的电路较之以往设计具有更为简单的结构, 三值双轨输出时仅需 24 个 MOS 管. 计算机模拟结果验证了所提出的触发器具有正确的逻辑功能、良好的瞬态特性和更低的功耗. 此外, 该设计结构极易推广至基值更高的多值边沿触发器的设计.

**关键词:** 多值逻辑; 触发器; CMOS

**中图分类号:** TN432, TP333 **文献标识码:** A **文章编号:** 0372-2112 (2002) 05-0760-03

## CMOS Ternary D-Type Edge-triggered Flip-Flop Using One Latch

HANG Guo-qiang<sup>1</sup>, WU Xun-wei<sup>2</sup>

(1. Department of Information & Electronic Engineering, Zhejiang University, Hangzhou, Zhejiang 310027, China;

2. Institute of Circuits and Systems, Ningbo University, Ningbo, Zhejiang 315211, China)

**Abstract:** A novel CMOS ternary D-type edge-triggered flip-flop using a single latch is presented. In the proposed circuit, data are sampled into the latch during a short transparency period for rising edge of the clock signal. The proposed circuit has a simpler construction with respect to previously reported ternary flip-flop. This simple flip-flop with dual-rail outputs uses only twenty-four MOS transistors in addition to the clock driver, and hence requires a small silicon area. The computer simulation with PSPICE has validated that this flip-flop can realize the expected logic function, has desirable transient characteristics and lower power dissipation. Furthermore, the proposed construction can be easily extended to the design of multiple-valued edge-triggered flip-flop with a higher radix.

**Key words:** multiple-valued logic; flip-flop; CMOS

### 1 引言

近年来在二值触发器的研究中, 提出了一种有效利用时钟信号的竞争所产生的短脉冲信号来实现一次操作的单锁存器边沿触发器<sup>[1-3]</sup>. 它们具有结构简单以及对时钟沿的变化要求低等优点<sup>[3]</sup>显示了应用前景. 文献[4]将这种设计思想推广至三值边沿触发器的设计, 从而简化了三值触发器的电路结构. 在此基础上, 本文提出一种新的可实现单轨或双轨输出的三值 D 型触发器设计, 它们同样采用时钟信号的竞争所产生的窄脉冲信号来实现边沿触发的目的, 并且只需一个锁存器. 所提出的电路较之以往设计具有更为简单的结构, 并极易推广至基值更高的多值边沿触发器的设计. 计算机模拟结果进一步表明该设计具有更低的能耗以及更快的速度. 加之文献[4]提出的三轨输出结构, 本文的讨论进一步丰富了多值边沿触发器的结构.

### 2 单锁存器 CMOS 三值 D 型边沿触发器设计

D 型锁存器的状态方程可以表示为:  $Q = D \cdot clk + \overline{Q} \cdot \overline{clk}$  ( $Q$  表示电路的次态). 由该式可直接设计出 D 型锁存器电路

结构如图 1(a) 所示, 该图由二个传输门和一个整形器构成. 当  $clk$  为高电平时, 锁存器处于赋值状态; 当  $clk$  为低电平时锁存器通过正反馈使输出保持不变. 因此, 反馈回路中必须有带整形功能的电路. 该结构同样适用于多值锁存器的设计<sup>[5]</sup>. 例如, 在三值逻辑电路中,  $D$  和  $Q$  均为三值逻辑 (0, 1, 2), 而  $clk$  可取二值信号, 对应于逻辑值 (0, 2). 图 1(a) 所示的电路为能满足时钟到来时只发生一次状态转换的要求, 则必须使控制输入信号的传输门在有效时钟沿之后只作短暂的导通, 将  $D$  端的数据传输至输出端  $Q$ . 有效时钟沿过后, 直至下一个有效时钟沿来临之前, 锁存器保持锁定状态. 这意味着需要利用有效时钟沿来产生二个宽度很窄的正负窄脉冲去控制传输开关, 从而实现具有时钟边沿触发的 D 触发器的功能. 由此设计的电路结构如图 1(b) 所示. 图 1(c) 的 4 个反相器构成时钟链用于实现时钟信号的延迟<sup>[1,2,4]</sup>. 从图 1(d) 可以看出,  $clk$  和  $\overline{clk_1}$  相与运算后可获得一个距时钟信号  $clk$  上升沿之后  $3t_p$  宽的正窄脉冲 ( $t_p$  为反相器的延迟时间). 同样  $\overline{clk}$  和  $clk_2$  相或运算后可得到一个  $3t_p$  宽的负窄脉冲. 利用这二个正负窄脉冲去控制图 1(b) 中的传输开关便可使输入端的传输开

关作短暂导通(约  $2 - 3t_p$  的时间), 取样和赋值一次完成. 之后输入端的传输开关截止, 反馈回路的传输开关导通, 实现对输出信号的锁存作用. 从而使电路具有 D 型边沿触发器的功能并只需一个锁存器.

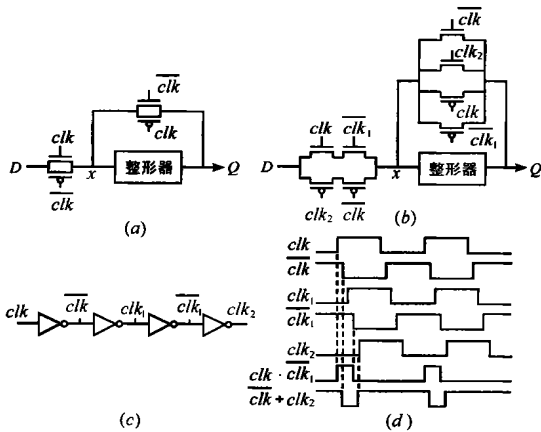


图 1 (a) D 型锁存器结构; (b) 三值 D 型 CMOS 边沿触发器结构; (c) 时钟链; (d) 采用竞争冒险产生的窄脉冲信号

对于多值逻辑电路, 图 1(b) 中的整形器应有二部分电路组成, 其中一部分用于检测多值输入信号, 另一部分则用于实现对多值信号的整形处理. 对三值信号的检测可用图 2(a) 所示的文字运算电路实现. 当  $x$  的逻辑输入为  $(0, 1, 2)$  时, 文字运算电路的输出  ${}^0x^0$  和  ${}^2x^2$  所对应的逻辑值分别为  $(2, 0, 0)$  和  $(2, 2, 0)$ . 用文字运算电路的输出信号去控制传输开关传输固定逻辑电平, 便可获得整形输出如图 2(b) 所示, 图中  $V_{DD}$ 、 $V_{DD}/2$  和地分别对应于逻辑值 2、1、0. 为保持 CMOS 电路静态功耗趋于 0 的特点, 中间电平(1)应有单独的中间电压  $V_{DD}/2$  供给, 而不应由  $V_{DD}$  分压产生. 这样, 采用图 2(b) 所示的整形电路时, 图 1(b) 所示的三值 D 型边沿触发器只需 16 个 MOS 管. 注意到该 D 触发器实现的是单轨三值输出, 若需要实现  $Q$  和  $\bar{Q}$  双轨三值输出, 则图 1(b) 所示电路中的整形器可用二个串接的三值反相器替代. 三值反相器电路如图 2(c) 所示, 其中控制传输开关的控制信号同样可由图 2(a) 所示的文字运算电路实现. 由此实现的具有双轨三值输出结构的 D 型边沿触发器总共只需 24 个 MOS 管. 图 2 中用 0.5 和 1.5 标注 MOS 管的不同开启阈值(负值表示 pMOS 管的开启阈值), 以表明它们的阈值的绝对值分别界于逻辑值 0、1 和 1.2 之间. 为获得不同开启阈值的 MOS 管, 可采用多级离子注入技术来

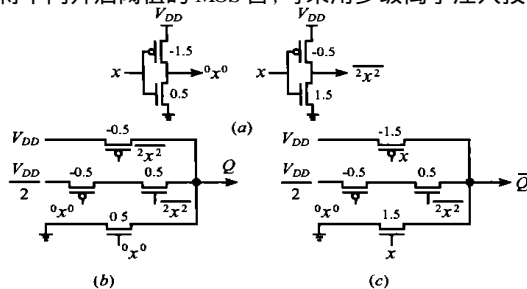


图 2 (a) 文字运算电路; (b) 三值整形电路; (c) 三值反相器

实现. 如果将图 1(b) 中的三值整形器换成四值整形器或二个串接的四值反相器便可获得四值 D 型时钟边沿触发器.

### 3 计算机模拟结果及比较

对所设计的电路均已通过计算机模拟. 以具有双轨三值输出结构的边沿触发器为例, 采用  $1\mu\text{m}$  CMOS 工艺参数, 经 PSPICE 模拟得到其瞬态特性如图 3(a) 所示. 模拟时选取和逻辑值  $(0, 1, 2)$  相对应的电压分别为  $(0\text{V}, 2.5\text{V}, 5\text{V})$ . 取 pMOS 管的阈值电压  $V_{TP(-0.5)} = -0.73\text{V}$ ,  $V_{TP(-1.5)} = -3.33\text{V}$ ; nMOS 管的阈值电压  $V_{TN(0.5)} = 0.73\text{V}$ ,  $V_{TN(1.5)} = 3.33\text{V}$ . 模拟时除时钟链反相器中的 MOS 管宽长比  $(W/L)$  选取  $4\mu\text{m}/3\mu\text{m}$  外, 触发器电路中其余 pMOS 和 nMOS 管的宽长比  $(W/L)$  分别为  $5.4\mu\text{m}/1\mu\text{m}$  和  $1.8\mu\text{m}/1\mu\text{m}$ . 计算机模拟结果表明, 所设计的电路具有正确的逻辑功能和时钟上升沿触发的特性. 模拟测得  $Q$  端输出中 6 种跳变的最大延迟时间为  $1.222\text{ns}$ , 最小延迟时间为  $0.279\text{ns}$ , 平均延迟时间为  $0.853\text{ns}$ . 在采用相同参数及激励的条件下, 图 3(b) 同时示出了包括时钟链在内的三值边沿触发器的瞬态能耗比较. 表 1 给出了 3 种三值边沿触发器的比较, 其中  $t_{plh}$ ,  $t_{phi}$  分别表示对应于三值信号的 6 种跳变中的上跳和下跳延迟时间(这些值是在采用上述相同参数的情况下测得的). 通过比较和计算机模拟结果可以看出本文所提出的电路具有结构简单、能耗低和速度快的特点, 而文献[4]所提出的电路由于具有 3 种极性输出, 因此更适合于需要同时提供这三种极性信号的系统中.

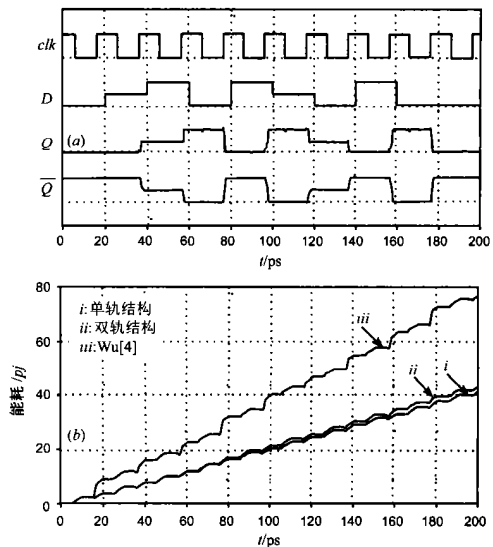


图 3 (a) 双轨结构三值 D 触发器的瞬态特性; (b) 瞬态能耗比较

表 1 三值边沿触发器比较

边沿触发器	MOS 管数 (不计时钟链)	输出端数	时钟负载	$t_{plh}(\text{max})$	$t_{plh}(\text{min})$	$t_{phi}(\text{max})$	$t_{phi}(\text{min})$
单轨结构	16	1	4 $C_g$	ns	ns	ns	ns
双轨结构	24	2	4 $C_g$	1.058	0.827	0.961	0.196
Wu[4]	42	3	6 $C_g$	1.682	1.355	1.001	0.551

\* 接至一个 MOS 管栅极记为  $C_g$ , \*\* 指  $Q$  端输出的延迟.

## 4 结论

本文提出了一种只使用单个锁存器的三值 D 型 CMOS 边沿触发器设计,该设计结构与相应的二值 CMOS 边沿触发器具有很好的对应关系<sup>[1]</sup>并极易推广至基值更高的多值边沿触发器的设计.本文的讨论进一步丰富了多值 D 型边沿触发器的结构.计算机模拟结果表明该设计具有正确的逻辑功能和良好的性能.由于该电路具有简单的结构,与以前的设计相比,可以进一步提高集成度和降低功耗.因此,它在多值低功耗 VLSI 设计中有一定的应用前景.

### 参考文献:

- [ 1 ] X Wu, J Wei. CMOS edge-triggered flip-flop using one latch [J]. Electronics Letter, 1998, 34(16): 1581 - 1582.
- [ 2 ] A G M Stollo, E Napoli, C Cimino. Low power double edge-triggered flip-flop using one latch [J]. Electronics Letter, 1999, 35(3): 187 - 188.
- [ 3 ] 莫凡,俞军,章倩苓.一种单锁存器 CMOS 静态 D 触发器的设计[J]. 半导体学报, 1999, 20(12): 1081 - 1086.

- [ 4 ] 吴训威,韦健,汪鹏君.时钟信号竞争型三值 CMOS 边沿触发器[J]. 电子学报, 2000, 28(9): 126 - 127.
- [ 5 ] K W Current. Voltage-mode CMOS quaternary latch circuit [J]. Electronics Letter, 1994, 30(23): 1928 - 1929.

### 作者简介:



杭国强 男,1968 年 8 月生于浙江桐乡,于 2000 年 7 月获浙江大学工学博士学位,现为浙江大学信息与电子工程学系副教授,已发表学术论文 30 余篇,目前主要从事多值逻辑及低功耗集成电路设计方面的研究工作.

吴训威 男,1940 年 4 月生于上海市,现为宁波大学电路与系统研究所所长,浙江大学信息与电子工程学系兼职教授,博士生导师,中国电子学会会士,中国通信学会会士,美国 IEEE 高级会员,已发表学术论文 300 余篇,目前主要从事数字逻辑与集成电路设计理论方面的研究工作.

www.cnki.net